

Docket No.: MUH-12796

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: December 4, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/667,629  
Applicant : Marie Denison et al.  
Filed : September 22, 2003  
Art Unit : to be assigned  
Examiner : to be assigned

Docket No. : MUH-12796  
Customer No.: 24131

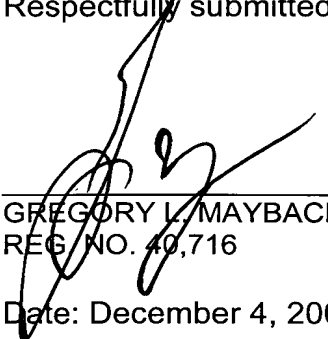
CLAIM FOR PRIORITY

Mail Stop: Missing Parts  
Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 43 743.2 filed September 20, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY L. MAYBACK  
REG. NO. 40,716

Date: December 4, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 43 743.2

**Anmeldetag:** 20. September 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Quasivertikales Halbleiterbauelement

**IPC:** H 01 L 29/73

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 16. September 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Wallner

# MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17  
D-81667 München

Anwaltsakte: 12301

Ko/mk

Anmelderzeichen: 2002P12085 DE  
(2002 E 12063 DE)

20.09.2002

## **Infineon Technologies AG**

St.-Martin-Straße 53  
81669 München

---

**Quasivertikales Halbleiterbauelement**

---

---

Beschreibung

Quasivertikales Halbleiterbauelement

5 Die vorliegende Erfindung betrifft ein quasivertikales Halbleiterbauelement mit mindestens zwei in einer Wanne angeordneten Innenzellen, einem zwischen der Wanne und einem Halbleitersubstrat vorgesehenen Buried Layer ("Vergrabene Schicht") und einer den Buried Layer zu einer Oberfläche des Halbleiterbauelementes verbindenden Sinkerzone ("Anschlusszone" für Buried Layer).

Ein derartiges quasivertikales Halbleiterbauelement ist beispielsweise in B. Murari u. a.: "Smart Power ICs", Springer, 15 Seiten 20 und 32 bis 36, beschrieben.

In Fig. 5 ist in einer Schnittdarstellung der prinzipielle Aufbau eines derartigen herkömmlichen quasivertikalen Halbleiterbauelementes dargestellt. Bei diesem Halbleiterbauelement kann es sich beispielsweise um eine Diode, einen vertikalen DMOS-Transistor, einen Bipolartransistor oder einen Thyristor handeln.

In allen diesen Fällen weist das quasivertikale Halbleiterbauelement ein beispielsweise p-leitendes Halbleitersubstrat 1 aus Silizium und eine darauf vorgesehene n-leitende Halbleiterschicht 2 aus beispielsweise ebenfalls Silizium auf. Die Halbleiterschicht 2 kann dabei durch Epitaxie auf das Halbleitersubstrat 1 aufgebracht sein.

30 Zwischen dem Halbleitersubstrat 1 und der Halbleiterschicht 2 befindet sich ein  $n^+$ -leitender Buried Layer 3, der über eine ebenfalls  $n^+$ -leitende Sinkerzone 4 zu einer Oberfläche des Halbleiterbauelementes verbunden ist, an welcher eine  $n^{++}$ -leitende Anschlusszone 5 mit einem Sinkeranschluss 6 vorgesehen ist. Allgemein kann für die Sinkerzone 4 jede Art einer

leitenden Verbindung zwischen dem Buried Layer 3 und der Oberfläche benutzt werden, wie beispielsweise ein mit dotiertem polykristallinem Silizium gefüllter Trench (Graben).

- 5 Mit dem Buried Layer 3 und der gegebenenfalls ringförmig gestalteten Sinkerzone 4 wird in der Halbleiterschicht 2 eine gemeinsame, n-leitende Wanne 7 gebildet, die verschiedene Innenzellen 8 enthält, welche über einen gemeinsamen Anschluss 9 parallel zueinander geschaltet sind.

10

Ein Randabschluss 10 sorgt für eine für das Bauelement nicht begrenzende Spannungsfestigkeit zwischen der letzten Innenzelle 8 und der Sinkerzone 4.

- 15 Dieser Randabschluss 10 kann aus einer geeigneten Kombination von Diffusionen in der Wanne 7, einer Isolationsschicht, die beispielsweise aus Siliziumdioxid und/oder Siliziumnitrid besteht und einer über dieser Isolationsschicht liegenden Feldplatte (z. B. aus Metall oder Polysilizium) bestehen.

20

Abhängig von der Art bzw. dem Aufbau der Innenzellen 8 handelt es sich bei dem dargestellten quasivertikalen Halbleiterbauelement um eine Diode, einen vertikalen DMOS-Transistor, einen Bipolartransistor oder einen Thyristor.

25

Es sei an dieser Stelle angemerkt, dass die hier und im Folgenden angegebenen Leitungstypen nur Beispiele sind. Es ist also selbstverständlich möglich, diese Leitungstypen konträr vorzusehen, also beispielsweise den n-Leitungstyp durch den p-Leitungstyp und umgekehrt zu ersetzen. Ebenso kann jedes geeignete Halbleitermaterial, wie insbesondere Silizium, Siliziumcarbid usw. für das quasivertikale Halbleiterbauelement verwendet werden.

30

- 35 Fig. 6 zeigt als erstes konkretes Beispiel für das Halbleiterbauelement von Fig. 5 den Aufbau eines quasivertikalen up-

Drain-DMOS-Transistors, also eines DMOS-Transistors, dessen Drainanschluss nicht wie bei einer Vertikalstruktur auf der Rückseite des Substrats, sondern auf der gleichen Seite wie Gateanschluss und Sourceanschluss bzw. Bodyanschluss, liegt.

5 Die Innenzellen 8 bestehen hier aus einer p-leitenden Bodyzone 11 und einer n-leitenden Sourcezone 12, wobei die Bodyzone 11 und die Sourcezone 12 mit einem gemeinsamen Kontakt 13 versehen sein können.

10 Die einzelnen Sourcezonen 12 der verschiedenen Innenzellen 8 können durch Diffusion hergestellt sein und parallel zu Drain aus Sinkerszone 4, Buried Layer 3 und Wanne 7 verlaufen. Es ist aber auch eine polygonale Gestaltung der jeweiligen Innenzellen 8 möglich.

15 Zwischen den einzelnen Sourcezonen 12 befinden sich Gateelektroden 14 auf einem nicht näher dargestellten Gateoxid.

20 Der Strom von den Sourcezonen 12 fließt über die unter den Gateelektroden 14 in den Bodyzonen 11 ausgebildeten Kanälen in die gemeinsame Wanne 7 und von dieser zum Buried Layer 3, von wo aus der Strom weiter über die Sinkerszone 4 und die Anschlusszone 5 in den einen Drainanschluss bildenden Sinkersanschluss 6 strömt.

25 Werden in dem Beispiel von Fig. 6 die Gateelektroden 14 weggelassen und die Anschlüsse für die Bodyzonen 11 und die Sourcezonen 12 getrennt herausgeführt, so entsteht ein Bipolartransistor, wie dieser in Fig. 7 dargestellt ist und dort  
30 über eine gemeinsame p-leitende Basiszone 15 mit p<sup>+</sup>-leitenden Basisanschlusszonen 16 sowie in die Basiszone 15 eingebettete n-leitende Emitterzonen 17 verfügt. Die Basiszonen 16 und die Emitterzonen 17 in der gemeinsamen Wanne 7 sind hierbei jeweils zusammengeschaltet. Der Sinkersanschluss 6 bildet bei  
35 diesem Bipolartransistor einen Kollektoranschluss.

Fig. 8 zeigt in einer vereinfachten Darstellung ein den Beispielen der Fig. 5 bis 7 entsprechendes Impedanznetzwerk, aus welchem zu ersehen ist, wie der Buried Layer 3 einen Spannungsabfall infolge seines Innenwiderstandes mit Widerständen R1, R2, R3, ... zwischen den einzelnen Innenzellen 8 verursacht. Außerdem kann gegebenenfalls ein Gradient in der RC-Konstante der jeweiligen Body-Drain-Dioden der einzelnen Innenzellen 8 von außen, also von der Sinkzone 4 aus nach innen zur Zelle vorhanden sein. Dieser Gradient in der RC-Konstanten, also im komplexen Leitwert  $Y(R, C) = 1/Z$  ( $Z =$  komplexer Widerstand) ist in Fig. 8 schematisch durch die einzelnen imaginären Widerstände veranschaulicht. Er macht sich bei hoher Stromdichte bzw. schnellen Spannungsänderungen um so stärker bemerkbar, je mehr Innenzellen 8 in der Wanne 7 parallel zueinander liegen und je hochohmscher bzw. niedriger dotiert der Buried Layer 3 ist.

Bei einem quasivertikalen Halbleiterbauelement der oben geschilderten Art sind vor allem Arbeitspunkte kritisch, bei denen die Verlustleistung hoch ist und in denen der Strom i an einem gemeinsamen Anschluss 18 eine starke Abhängigkeit von der am Sinkanschluss 6 anliegenden Spannung u aufweist.

Es ist nun typischerweise der Fall eines Sperr- bzw. Avalanchebetriebes aller Arten von quasivertikalen Halbleiterbauelementen, dass bei ihnen die Sink-Spannung u bei einem bestimmten Avalanche- bzw. Sperrstrom  $i_2$  schlagartig auf eine niedrige Spannung abfällt bzw. "zurückschnappt". Dies wird auch als "Snap-Back" bezeichnet. Für viele Halbleiterbauelemente ist dieses Snap-Back unerwünscht und begrenzt deren sicheren Betriebsbereich (Safe Operating Area). Für andere Halbleiterbauelemente, wie beispielsweise ESD-Schutzstrukturen (ESD = Electro Static Discharge) ist dieses Snap-Back erwünscht, was zumeist nur bei einer optimalen Ausnutzung der zur Verfügung stehenden Fläche gilt.

In beiden obigen Fällen ist es aber wünschenswert, dass die Verlustleistung gleichmäßig über die Fläche der Innenzellen 8 in der Wanne 7 verteilt ist und dass alle Innenzellen 8 unter einem gleichen oder wenigstens ähnlichen Arbeitspunkt auf ihre "Avalanche-Kennlinie" triggern.

Aus den Fig. 9a, in welcher der Vorwärtsstrom  $i_1$  eines Halbleiterbauelementes mit Innenzellen 1 bis N in Abhängigkeit von der Sinker-Spannung  $u$  dargestellt ist, und der Fig. 9b, die die Abhängigkeit des Sperrstromes  $i_2$  des Halbleiterbauelementes in Abhängigkeit von der Sinker-Spannung  $u$  dieses Halbleiterbauelementes zeigt, ist nun ersichtlich, dass die einzelnen Innenzellen 8 (die Zelle 1 bezeichnet eine Zelle, die am nächsten zur Sinkerzone 4 gelegen ist, während die Zone N/2 eine Zelle in der Mitte der Wanne 7 angibt) sehr unterschiedliche Arbeitspunkte haben, wobei die Lage dieser Arbeitspunkte von dem Abstand der jeweiligen Innenzellen 8 von der Sinkerzone 4 abhängt. Die erste Zelle (Zelle 1), die ihren Triggerstrom zu einem Snap-Back erreicht (vgl. hierzu speziell Fig. 9b) begrenzt dabei die Festigkeit des Halbleiterbauelementes insgesamt.

Eine weitere Ursache, weshalb ein Gradient in der Stromergiebigkeit der einzelnen parallel zueinander liegenden Innenzellen 8 unerwünscht sein kann, könnte eventuell in der aufwändigen Skalierbarkeit der Stromeigenschaften des Halbleiterbauelements mit der Anzahl von dessen Innenzellen liegen, welche sich wiederum aus dem Spannungsabfall im Buried Layer 3 ergibt.

Ein grundsätzliches Problem bei quasivertikalen Halbleiterbauelementen besteht also darin, dass die Arbeitspunkte der Innenzellen stark abhängig von der Sinkerspannung  $u$  ist und die Innenzellen sich daher abhängig von ihrem Abstand von der Sinkerzone 4 in unterschiedlichen Arbeitspunkten befinden. Dies resultiert in Fällen einer hohen Verlustleistung wie im



Durchbruch des Halbleiterbauelementes in einer nicht optimalen Ausnutzung der zur Verfügung stehenden Halbleiterfläche.

5 Es ist daher Aufgabe der vorliegenden Erfindung, ein quasivertikales Halbleiterbauelement zu schaffen, bei dem letztlich die durch einen Spannungsabfall im Buried Layer bewirkten Nachteile überwunden sind.

10 Diese Aufgabe wird bei einem quasivertikalen Halbleiterbauelement der eingangs genannten Art erfindungsgemäß dadurch gelöst, dass die Innenzellen einen im Wesentlichen ähnlichen Arbeitspunkt haben, so dass Unterschiede zwischen den Innenzellen ausgeglichen werden.

15 Mit anderen Worten, bei dem erfindungsgemäßen quasivertikalen Halbleiterbauelement wird durch entsprechende Maßnahmen dafür gesorgt, dass sich dessen Innenzellen in einem möglichst großen Teil ihres Betriebsbereiches in einem ähnlichen Arbeitspunkt befinden. Der Ausgleich der Unterschiede kann  
20 allgemein beispielsweise durch Variation der Struktur der Innenzellen mittels Prozessierung, Verdrahtung, Layout usw. erfolgen. Durch diese Variation können so vom Buried Layer verursachte Unterschiede zwischen den Innenzellen gegebenenfalls abhängig von der Sinkerspannung ausgeglichen werden.

25

Wesentlich an dem erfindungsgemäßen quasivertikalen Halbleiterbauelement ist also, dass ein durch den Buried Layer erzeugter Spannungsgradient zwischen den parallel zueinander liegenden Innenzellen ausgeglichen wird, indem in diesen  
30 Innenzellen für einen entsprechenden Ausgleich gesorgt wird. Dadurch wird erreicht, dass sich alle Innenzellen in der Wanne des Halbleiterbauelementes bei einer bestimmten Sinkerspannung in einem ähnlichen Arbeitspunkt für den Vorwärtstrom  $i_1$  bzw. den Sperrstrom  $i_2$  befinden. Hierzu wird ein  
35 "Gradient" in die einzelnen Innenzellen eingebaut, welcher speziell beispielsweise durch Breite und/oder Raster der

Innenzellen oder durch die Verdrahtung oder durch spezielle Prozessmaßnahmen, wie zusätzliche Diffusionen, herbeigeführt wird.

- 5 Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

10 Fig. 1a die Abhängigkeit des Vorwärtsstromes  $i_1$  von der Sinkerspannung  $u$  bei dem erfindungsgemäßen quasivertikalen Halbleiterbauelement,

15 Fig. 1b die Abhängigkeit des Sperrstromes  $i_2$  von der Sinkerspannung  $u$  bei dem erfindungsgemäßen quasivertikalen Halbleiterbauelement,

20 Fig. 2 eine Schnittdarstellung im Basisbereich eines Bipolartransistors als einem ersten Ausführungsbeispiel des erfindungsgemäßen quasivertikalen Halbleiterbauelementes,

25 Fig. 3 eine Schnittdarstellung eines Source-Zellenfeldes eines up-Drain-DMOS-Transistors als einem zweiten Ausführungsbeispiel des erfindungsgemäßen Halbleiterbauelementes,

30 Fig. 4 eine Schnittdarstellung des Source-Zellenfeldes eines up-Drain-DMOS-Transistors als einem dritten Ausführungsbeispiel des erfindungsgemäßen quasivertikalen Halbleiterbauelementes,

Fig. 5 eine Schnittdarstellung zur Erläuterung des allgemeinen Aufbaues eines quasivertikalen Halbleiterbauelementes,

35 Fig. 6 eine Schnittdarstellung eines herkömmlichen quasivertikalen up-Drain-DMOS-Transistors,

Fig. 7 eine Schnittdarstellung eines herkömmlichen quasivertikalen Bipolartransistors,

5 Fig. 8 ein Impedanznetzwerk bei einem herkömmlichen quasivertikalen Halbleiterbauelement,

10 Fig. 9a die Abhängigkeit des Vorwärtsstromes  $i_1$  von der Sinkerspannung  $u$  bei einem herkömmlichen quasivertikalen Halbleiterbauelement, und

15 Fig. 9b die Abhängigkeit des Sperrstromes  $i_2$  von der Sinkerspannung  $u$  bei einem herkömmlichen quasivertikalen Halbleiterbauelement.

Die Fig. 5 bis 9a, 9b sind bereits eingangs erläutert worden.

In den Figuren werden für einander entsprechende Bauteile jeweils die gleichen Bezugszeichen verwendet.

20 Bei dem erfindungsgemäßen quasivertikalen Halbleiterbauelement werden letztlich die Folgen ausgeglichen, die durch den im Buried Layer infolge dessen Widerstandes auftretenden Spannungsabfall bewirkt sind. Das heißt, ein durch diesen Spannungsabfall bewirkter "Gradient" zwischen den einzelnen  
25 Innenzellen des Halbleiterbauelementes wird ausgeglichen. Als Konsequenz dieses Ausgleiches haben alle Innenzellen unabhängig von der Sinkerspannung einen im Wesentlichen ähnlichen Arbeitspunkt, wie dies in den Fig. 1a und 1b gezeigt ist. So  
30 zeigt Fig. 1a die Abhängigkeit des Vorwärtsstromes  $i_1$  in Abhängigkeit von der Sinkerspannung  $u$ , während in Fig. 1b die Abhängigkeit des Sperrstromes  $i_2$  in Abhängigkeit von der Sinkerspannung  $u$  dargestellt ist. Wie aus diesen Fig. 1a und 1b zu ersehen ist, liegen bei dem erfindungsgemäßen Halbleiterbauelement von der Innenzelle 1 in der Nähe der Sinkers-  
35 zone bis zu der Innenzelle  $N/2$  in der Mitte der Wanne 7 prak-

tisch die gleichen Werte für den Vorwärtsstrom  $i_1$  (vgl. Fig. 1a) bzw. für den Sperrstrom  $i_2$  (vgl. Fig. 1b) vor, so dass nicht mehr eine Streuung der Arbeitspunkte wie bei den bestehenden Halbleiterbauelementen auftritt, wie diese anhand der Fig. 9a und 9b erläutert wurde. Mit anderen Worten, bei dem erfindungsgemäßen quasivertikalen Halbleiterbauelement hat der Vorwärtsstrom  $i_1$  bzw. der Sperrstrom  $i_2$  unabhängig von der Lage der Innenzelle am Rand oder in der Mitte der Wanne in Abhängigkeit von der Sinkerspannung  $u$  immer im Wesentlichen den gleichen konstanten Wert.

Die Fig. 2 bis 4 veranschaulichen nun konkrete Ausführungsbeispiele des erfindungsgemäßen quasivertikalen Halbleiterbauelementes, in denen konkret dargestellt ist, wie dafür gesorgt werden kann, dass die Innenzellen einen im Wesentlichen ähnlichen Arbeitspunkt aufweisen.

In Fig. 2 ist als Ausführungsbeispiel des erfindungsgemäßen quasivertikalen Halbleiterbauelementes ein Bipolartransistor dargestellt. Bei diesem Ausführungsbeispiel erfolgt eine Variation des Basis-Kollektor-Durchbruches mit Hilfe von beispielsweise durch Hochenergie-Implantation eingebrachten p-leitenden Zonen 20, die zusätzlich zu dem herkömmlichen Bipolartransistor von Fig. 7 im Bereich des pn-Überganges zwischen der Basiszone 15 und der Wanne 7 vorgesehen sind. Diese Zonen 20 sind nun so gestaltet bzw. dotiert, dass größere Krümmungsradien am Rand der Wanne 7 als in deren Mitte vorliegen, so dass für die Innenzellen 8 durch diese Zonen 20 erreicht wird, dass ein Gradient im Durchbruch von "innen nach außen" vorliegt. Das heißt, die in der Mitte des Buried Layers 3 an sich niedrigere Spannung, die durch den Spannungsabfall im Buried Layer 3 bewirkt ist, wird in ihrer Auswirkung auf das Durchbruchverhalten dadurch ausgeglichen, dass hier für kleinere Krümmungsradien des pn-Überganges zwischen der Basiszone 15 und der Wanne 7 als im Randbereich der Wanne 7 gesorgt wird, in welchem die Zonen 20 einen grö-

Beren Krümmungsradius haben, so dass dort die größere anliegende Spannung, die an sich eher zu einem Durchbruch führt, durch den größeren Krümmungsradius des pn-Überganges ausgeglichen wird. Hier wird also die Tatsache ausgenutzt, dass kleinere Krümmungsradien für niedrigere Durchbruchspannungen sorgen.

Fig. 3 zeigt ein weiteres Ausführungsbeispiel des erfindungsgemäßen Halbleiterbauelementes anhand eines up-Drain-DMOS-Transistors, bei dem ähnlich wie im Ausführungsbeispiel von Fig. 2 durch Zonen 20, die durch Hochenergie-Implantation eingebracht sein können, der Durchbruch zwischen den Bodyzonen 11 und der einen Teil von Drain bildenden Wanne 7 ausgeglichen wird. Aus einem Vergleich der Fig. 3 mit der Fig. 6 ergibt sich sofort der wesentliche Gesichtspunkt der vorliegenden Erfindung: im Unterschied zu dem herkömmlichen Transistor sind bei dem erfindungsgemäßen quasivertikalen Halbleiterbauelement die einzelnen Bodyzonen 11 der jeweiligen Innenzellen 8 durch Zonen 20 unterlegt, die ähnlich wie im Ausführungsbeispiel von Fig. 2 einen sich von außen nach innen ändernden Krümmungsradius haben, wobei der Krümmungsradius auch hier am Rand der Wanne 7 größer ist als in deren Mitte. Auf diese Weise wird wie beim Ausführungsbeispiel von Fig. 2 erreicht, dass die einzelnen Innenzellen eine ähnliche Durchbruchsfestigkeit (Latch-up-Festigkeit) haben.

Fig. 4 zeigt schließlich noch ein weiteres Ausführungsbeispiel des erfindungsgemäßen Halbleiterbauelementes in der Form eines up-Drain-DMOS-Transistors, bei dem durch Variation der Breite der einzelnen Bodyzonen 11 und deren Raster eine zu den Ausführungsbeispielen der Fig. 2 und 3 vergleichbare Wirkung erzielt wird. Das heißt, beim Ausführungsbeispiel von Fig. 4 haben die am Rand der Wanne 7 gelegenen Bodyzonen 11 einen größeren Krümmungsradius als die Bodyzonen 11 in der Mitte der Wanne 7, und außerdem sind die Bodyzonen 11 am Rand der Wanne 7 näher zueinander angeordnet als in der Mitte der

Wanne 7. Auch hierdurch wird bewirkt, daß die pn-Übergangsstruktur im Bereich höherer Spannungen des Buried Layers 3 über größere Krümmungsradien verfügt, also letztlich flacher ist als in dem Mittenbereich der Wanne 7.

5

Die Erfindung ermöglicht so erstmals die Möglichkeit, durch gezielte Variation der Gestaltung des pn-Überganges zwischen Bodyzonen und Wanne für einen Ausgleich des Spannungsabfalles längs eines Buried Layers zu sorgen. Hierdurch wird eine erhebliche Verbesserung speziell der Durchbrucheigenschaften eines erfindungsgemäß gestalteten Halbleiterbauelementes geschaffen.

10

---

Patentansprüche

1. Quasivertikales Halbleiterbauelement mit mindestens zwei  
in einer Wanne (7) angeordneten Innenzellen (8), einem zwi-  
5 schen der Wanne (7) und einem Halbleitersubstrat (1) vorgese-  
henen Buried Layer (3) und einer den Buried Layer (3) zu  
einer Oberfläche des Halbleiterbauelementes verbindenden  
Sinkzone (4),  
d a d u r c h g e k e n n z e i c h n e t ,  
10 dass die Innenzellen (8) einen im Wesentlichen ähnlichen  
Arbeitspunkt haben, so dass Unterschiede zwischen den Innen-  
zellen (8) ausgeglichen werden.
2. Halbleiterbauelement nach Anspruch 1,  
15 d a d u r c h g e k e n n z e i c h n e t ,  
dass der im Wesentlichen ähnliche Arbeitspunkt der Innenzel-  
len (8) durch Variation von deren Breite bzw. Krümmungsradius  
und/oder von deren Raster eingestellt ist.
- 20 3. Halbleiterbauelement nach Anspruch 2,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die Breite bzw. der Krümmungsradius und/oder das Raster  
von Bodyzonen (11) der Innenzellen (8) variiert sind.
- 25 4. Halbleiterbauelement nach Anspruch 3,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die Bodyzonen (11) in der Nähe der Sinkzone (4) brei-  
ter sind bzw. einen größeren Krümmungsradius haben als im  
Abstand von der Sinkzone (4).
- 30 5. Halbleiterbauelement nach Anspruch 3,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass das Raster der Innenzellen (8) im Abstand von der Sin-  
kerzone (4) größer ist als in der Nähe von der Sinkzone  
35 (4).

6. Halbleiterbauelement nach einem der Ansprüche 2 bis 5,  
dadurch gekennzeichnet,  
dass die Variation der Breite bzw. des Krümmungsradius  
5 und/oder des Rasters der Innenzonen (8) durch zusätzliche  
dotierte Gebiete (20) bewirkt ist.

7. Halbleiterbauelement nach Anspruch 6,  
dadurch gekennzeichnet,  
10 dass die zusätzlichen dotierten Gebiete (20) durch Hochener-  
gie-Ionenimplantation eingebracht sind.

8. Halbleiterbauelement nach Anspruch 7,  
dadurch gekennzeichnet,  
15 dass die zusätzlichen dotierten Gebiete (20) zwischen der  
Wanne (7) und der Bodyzone (11) der Innenzellen (8) liegen.

9. Halbleiterbauelement nach einem der Ansprüche 1 bis 8,  
dadurch gekennzeichnet,  
20 dass die Sinkzone (4) am Rand der Wanne (7) vorgesehen ist.



---

Zusammenfassung

Quasivertikales Halbleiterbauelement

- 5 Die Erfindung betrifft ein quasivertikales Halbleiterbauelement, bei dem durch Variation des Layouts, des Prozesses oder der Verdrahtung von Innenzellen (8) ein Ausgleich für den Spannungsabfall längs eines Buried Layers (3) geschaffen wird, um so für einen ähnlichen Arbeitspunkt der einzelnen
- 10 Innenzellen (8) in der Wanne (7) zu sorgen.

(Fig. 2)

## Bezugszeichenliste

1	Halbleitersubstrat
2	Halbleiterschicht
3	Buried Layer
4	Sinkerzone
5	Anschlusszone
6	Sinkeranschluss
7	Wanne
8	Innenzelle
9	gemeinsamer Anschluss
10	Randabschluss
11	Bodyzone
12	Sourcezone
13	Gemeinsamer Kontakt
14	Gateelektrode
15	Basiszone
16	Basisanschlusszone
17	Emitterzone
18	gemeinsamer Anschluss
20	Zone
i1	Vorwärtsstrom
i2	Sperrstrom
u	Sinker-Spannung

FIG 1A

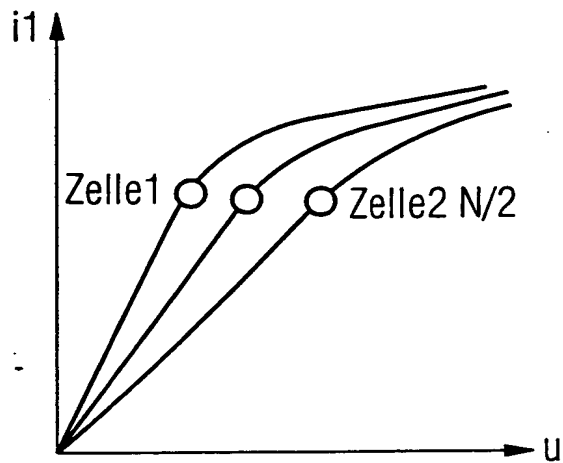


FIG 1B

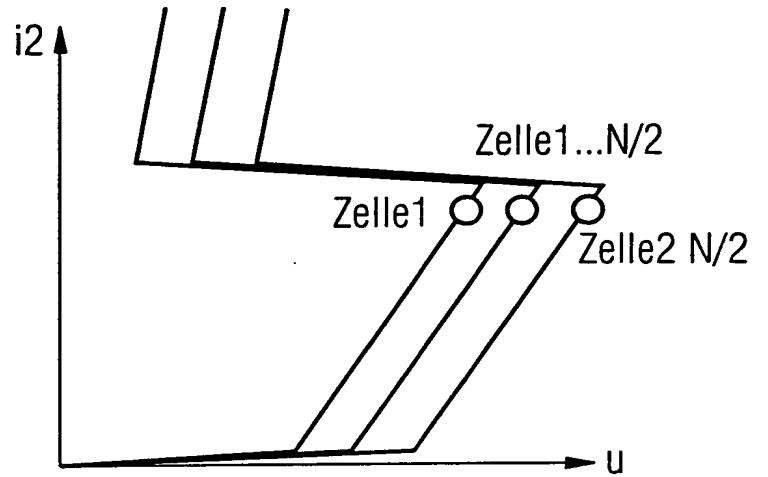
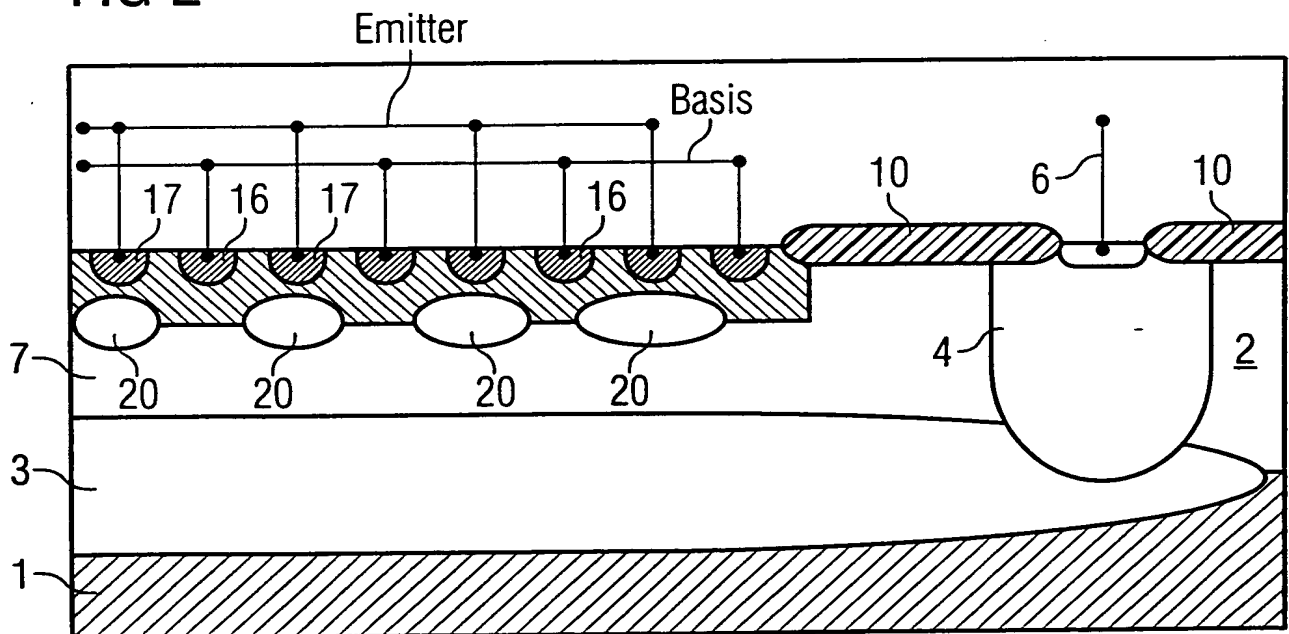


FIG 2



**FIG 3**

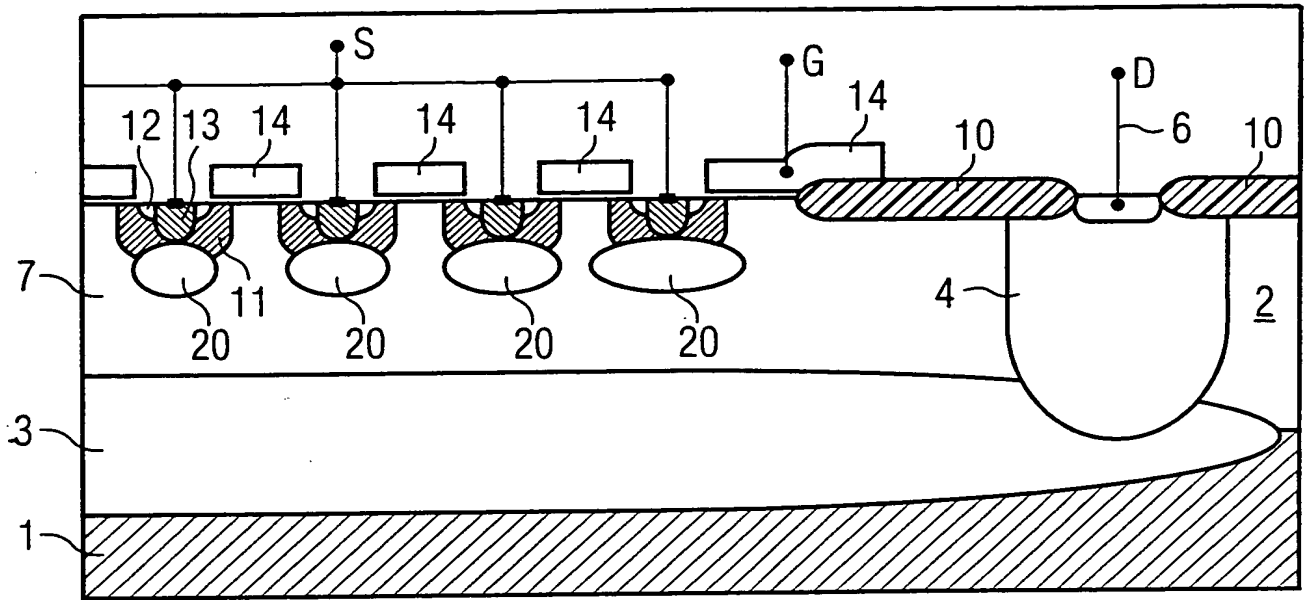


FIG 4

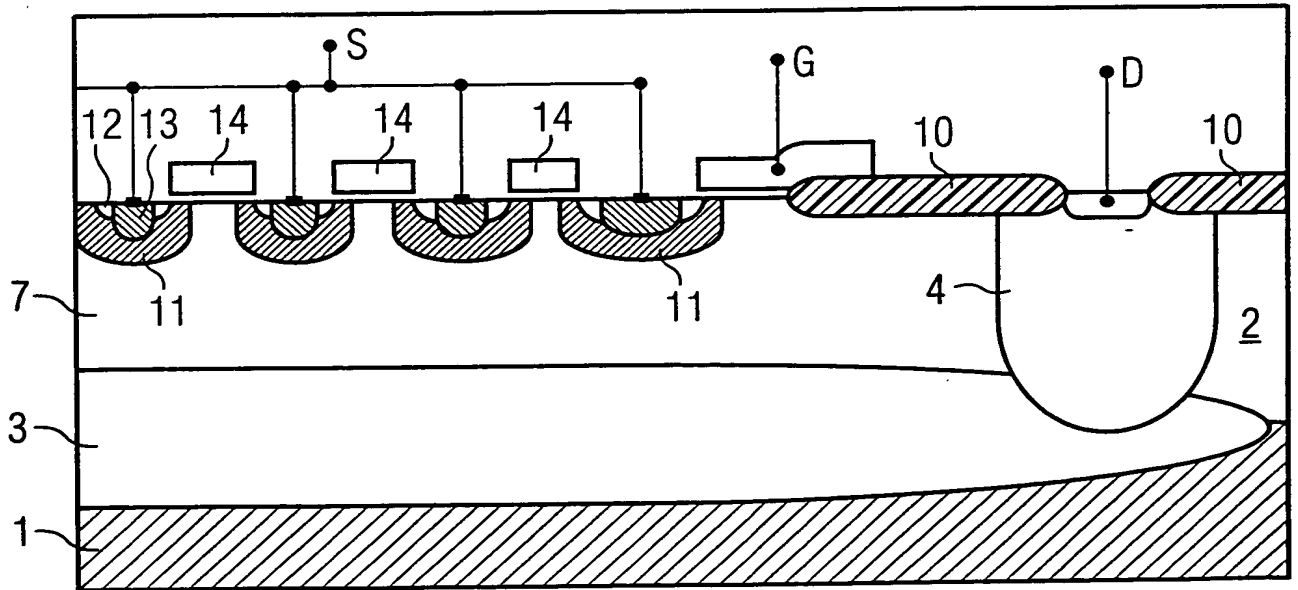


FIG 5

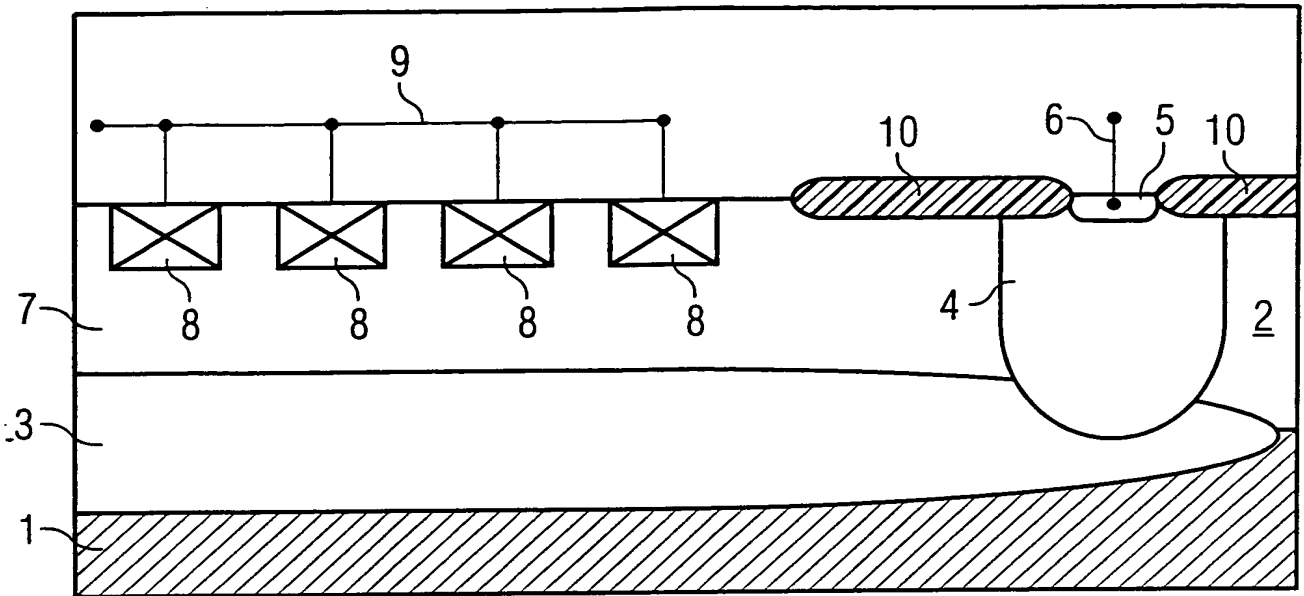


FIG 6

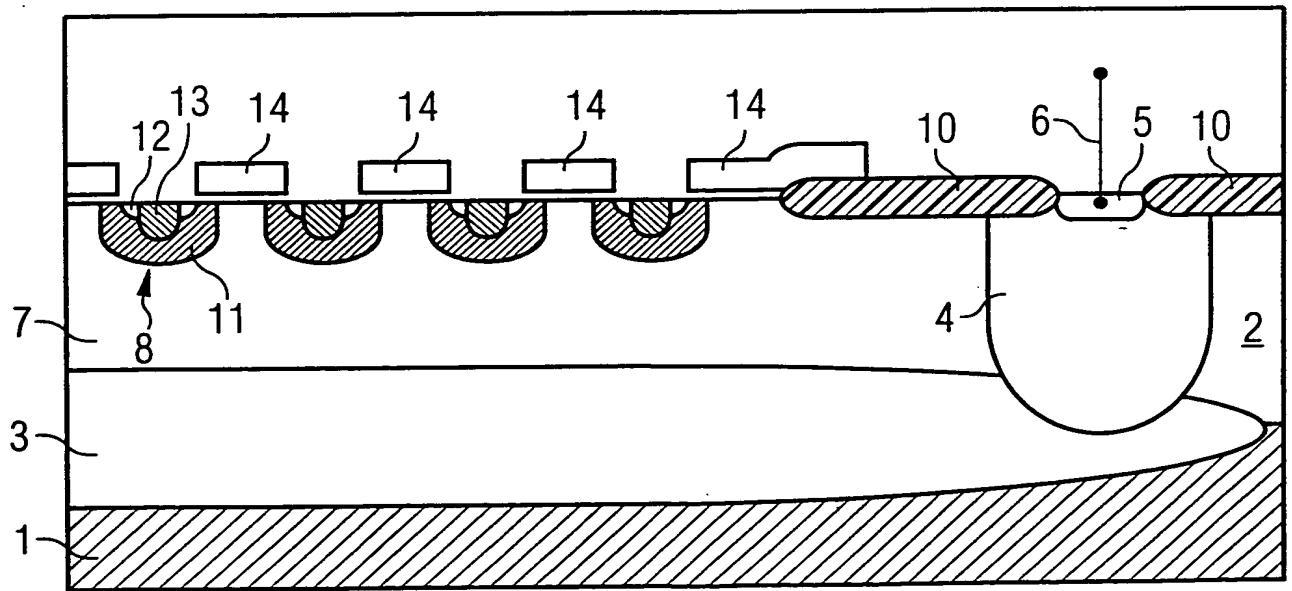


FIG 7

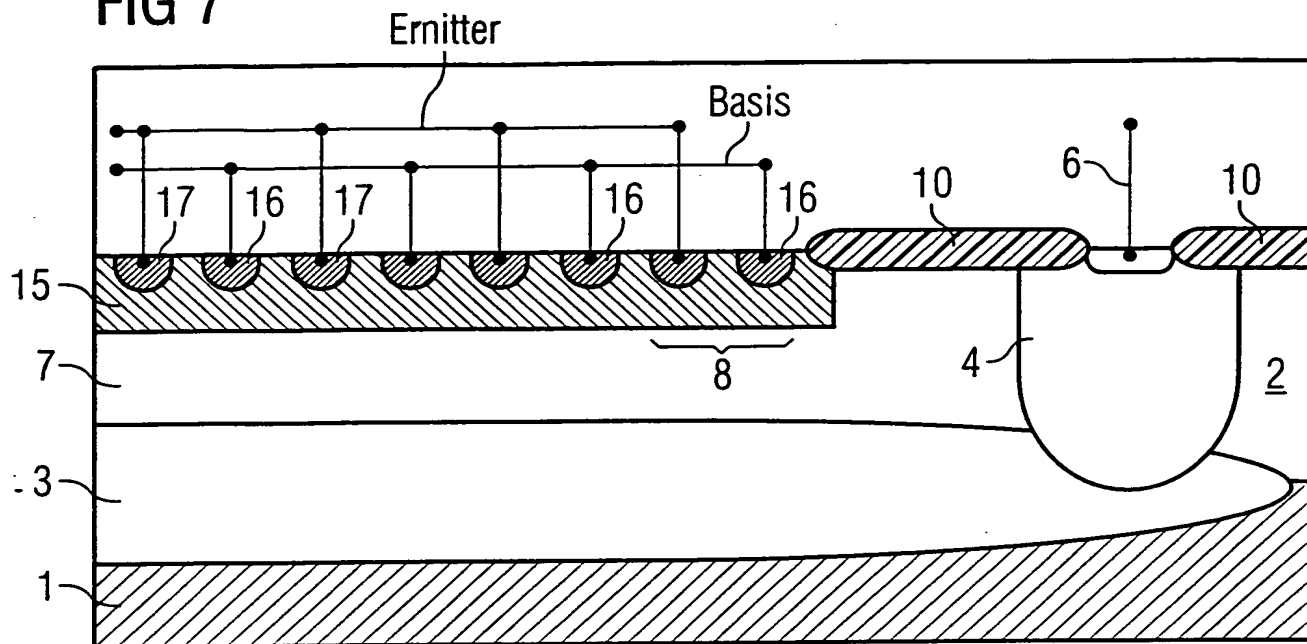


FIG 8

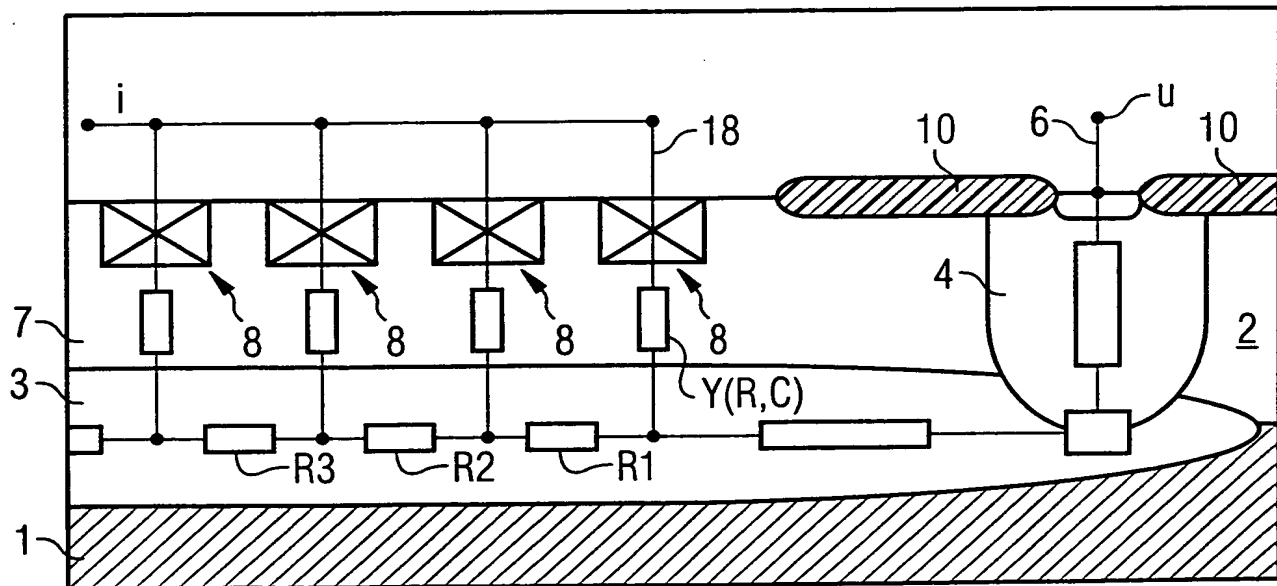


FIG 9A

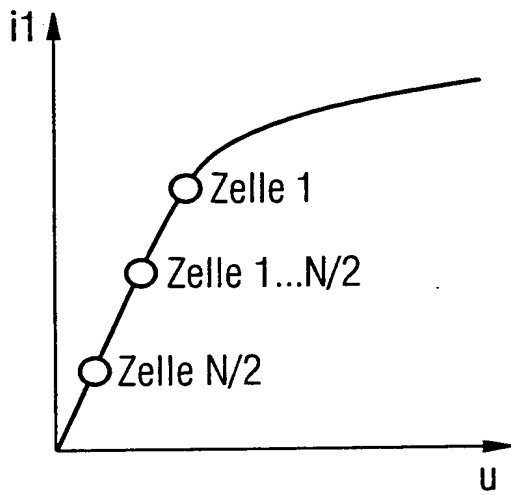
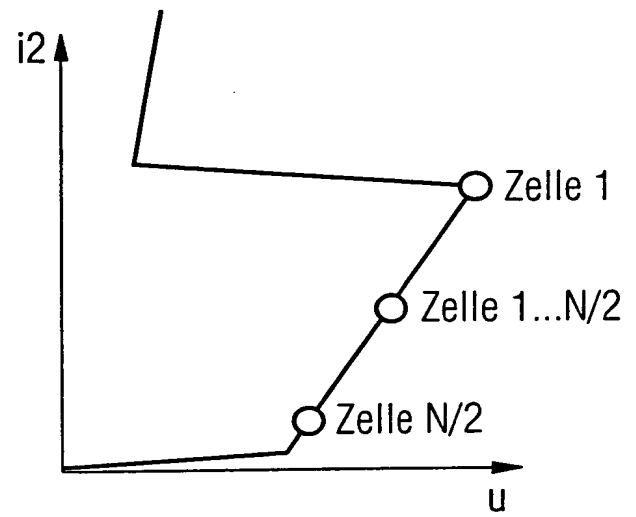


FIG 9B



Figur für die Zusammenfassung

FIG 2

